

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-084235

(43)Date of publication of application : 22.03.2002

(51)Int.Cl.

H04B 10/14
H04B 10/06
H04B 10/04
H01L 31/107
H01L 31/10
H03F 3/08

(21)Application number : 2000-271125

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.09.2000

(72)Inventor : KANESAKA HIROKI
MIYAKI YUJI
FUSE YUKIHARU

(54) APD BIAS VOLTAGE CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an APD(Avalanche Photo Diode) bias voltage control circuit that can combine an optical reception module and an APD bias voltage control section in a general purpose way, downsize the optical reception module by externally mounting the APD bias voltage control section and commonly structure the PIN element optical reception module.

SOLUTION: The optical reception section 60 that receives an optical signal input, converts it into an electric signal and outputs output data and the APD bias circuit control section 70 that provides an optimum bias voltage to an APD of the optical reception section 60 are separately configured, and the APD bias voltage control section 70 consists of a DC voltage source 71 that can control its output voltage, a variable resistor 10 for controlling a bias voltage that is connected to the DC voltage source 71 and the resistance of which is varied with an external signal, and a CPU 72 that conducts various controls.



LEGAL STATUS

[Date of request for examination] 19.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3785035

[Date of registration] 24.03.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-84235

(P2002-84235A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 4 B	10/14	H 0 3 F 3/08	5 F 0 4 9
	10/06	H 0 4 B 9/00	S 5 J 0 9 2
	10/04	H 0 1 L 31/10	B 5 K 0 0 2
H 0 1 L	31/107		G
	31/10		

審査請求 未請求 請求項の数 3 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-271125(P2000-271125)

(22) 出願日 平成12年9月7日 (2000.9.7)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 金坂 洋起

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 宮木 裕司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100085187

弁理士 井島 藤治 (外1名)

最終頁に続く

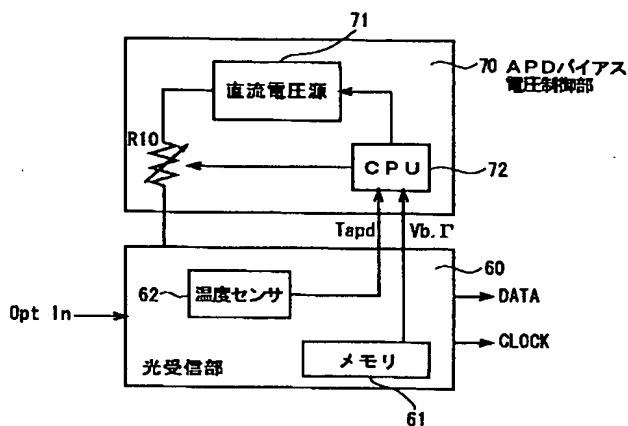
(54) 【発明の名称】 APDバイアス電圧制御回路

(57) 【要約】

【課題】 本発明はAPDバイアス電圧制御回路に関し、光受信モジュールとAPDバイアス電圧制御部との汎用的な組み合わせが可能で、APDバイアス電圧制御部の外付けによる光受信モジュールの小型化、更にはPIN素子光受信モジュールの構造の共通化が可能となるAPDバイアス電圧制御回路を提供することを目的としている。

【解決手段】 光信号入力を受けて、電気信号に変換し、出力データを出力する光受信部60と、該光受信部60のAPDに最適なバイアス電圧を与えるAPDバイアス電圧制御部70とを別々に構成し、前記APDバイアス電圧制御部70は、その出力電圧を制御可能な直流電圧源71と、前記直流電圧源71に接続され、外部信号によりその抵抗値が可変されるバイアス電圧制御用の可変抵抗R10と、各種制御を行なうCPU72とから構成される。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 自己バイアス方式によりアバランシェフォトダイオード（APD）のバイアス電圧を制御するAPDバイアス電圧制御回路において、
光信号入力を受けて、電気信号に変換し、出力データを出力する光受信部と、
該光受信部のAPDに最適なバイアス電圧を与えるAPDバイアス電圧制御部とを別々に構成し、
前記APDバイアス電圧制御部は、
その出力電圧を制御可能な直流電圧源と、
前記直流電圧源に接続され、外部信号によりその抵抗値が可変されるバイアス電圧制御用の可変抵抗と、
各種制御を行なうCPUとから構成され、
前記CPUは、光受信部のメモリに記憶されているAPDのブレイクダウン電圧値とその温度特性データを読み出し、光受信部の受信特性が最適となるように、前記直流電圧源とバイアス電圧制御用可変抵抗の制御を行なうことを特徴とするAPDバイアス電圧制御回路。

【請求項2】 前記光受信部は、
前記バイアス電圧制御用可変抵抗と接続されるAPDと、
APDのブレイクダウン電圧値とその温度特性データが記憶されるメモリと、
APDの周囲の温度を検出する温度センサと、
前記APDに発生した電気信号を増幅する増幅器と、
該増幅器の出力からデータとクロックを出力する識別再生器、とから構成されることを特徴とする請求項1記載のAPDバイアス電圧制御回路。

【請求項3】 前記温度センサは、APDと熱的に離れた箇所に設置され、APDバイアス電圧制御部のCPUは、この温度検出データをAPD素子温度に換算し、この値と光受信部から読み込んだAPDのブレイクダウン電圧値とその温度特性データを基に、光受信部の受信特性が最適となるAPDバイアス電圧の電圧値、及びバイアス電圧制御用可変抵抗の抵抗値を算出し、これらの値に直流電圧源、バイアス電圧制御用可変抵抗を制御することを特徴とする請求項2記載のAPDバイアス電圧制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光伝送装置に適用されるAPD（アバランシェフォトダイオード）を使用した光受信器のAPDバイアス電圧制御回路に関する。

【0002】

【従来の技術】 光伝送信号を電気信号に変換する部分には、APDの降伏電圧近傍での増倍作用を利用した回路が用いられる。APDバイアス電圧制御に関して、従来の方式を以下に示す。

【0003】 ①増倍率固定方式（固定バイアス方式）

図5は増倍率固定方式の概念図である。ここで、印加電

圧が小さい状態では通常のフォトダイオードに流れる電流とほぼ等しい小さい電流が流れ、印加電圧が大きくなって降伏電圧近傍では、APDには大量の電流が流れる。この大電流と小電流との比率を増倍率Mという。

【0004】 図5において、51はAPDに直流電圧を逆バイアスで印加する直流電圧源である。APDのアノード側にはI/V変換用の負荷抵抗R0が接続されている。この負荷抵抗R0とAPDとの接続点の電位は、前置増幅器（プリアンプ）52に与えられる。

10 【0005】 この回路では、APDに印加される直流電圧は入力光の大小に関わらず、バイアス電圧が一定であるため、入力光が大きくなると、前置増幅器2が飽和するおそれがある。

【0006】 ②FULL AGC方式

図6はFULL AGC方式の概念図である。図5と同一のものは、同一の符号を付して示す。この方式は、等化増幅器53の出力振幅が一定となるように直流電圧源51を制御している。光入力の増加に伴い、APDバイアス電圧（APDの両端にかかる電圧） V_{apd} が小さくなり、最大受信レベル付近では、増倍率Mはほぼ1となるため、受信レベルのダイナミックレンジを広くとることができる。

【0007】 一方、最小受信レベル付近では、光入力に対して増倍率Mが負の傾斜を持つため、光入力が増加してもS/N比が一定となり、エラーフロア（誤り率曲線の曲がり）が生じるという問題がある。また、負帰還回路を構成するため、回路規模が大きくなるという問題がある。

30 【0008】 また、公知例（特開平6-164495号公報）では、図9に示すように、FULL AGC方式により光受信回路を構成し、メモリに格納したAPDの特性データ、感温素子による温度検出データ、信号レベル検出データを基に、出力信号レベルが一定となるようにAPDの駆動電圧を制御することにより、素子ばらつき等に対応して高い精度での細かいAPDの温度補償を可能にしている。

【0009】 図9に示す方式においては、1は全体としての光空間伝送装置を示し、所定の情報信号でレーザダイオード2を駆動し、このレーザダイオード2から所定偏波面の送信光ビームL1を射出する。更に、光空間伝送装置1においては、この送信光ビームL1をレンズ4で平行光線に変換した後、偏向ビームスプリッタ6を透過させてレンズ8に導く。ここで、レンズ8は、送信光ビームL1を収束光に変換して出射し、大口径レンズ10はこの収束光を略平行光線に変換して射出する。

【0010】 これにより、光空間伝送装置1においては、伝送対象に所定偏波面の送信光ビームL1を介して情報信号を伝送する。更に、光空間伝送装置1においては、所望の伝送対象から到来する受信光ビームL2を大口径レンズ10で受光し、レンズ8を介して偏向ビーム

スプリッタ6に導く。ここで、受信光ビームL2は、送信光ビームL1に対して偏波面が直交するように伝送対象から送出され、これにより光空間伝送装置1においては、この受信光ビームL2を偏向ビームスプリッタ6で反射してビームスプリッタ12に導く。ビームスプリッタ12は、この受信光ビームL2の一部を透過してレンズ14に射出し、レンズ14はこの透過光をAPD16に集光する。

【0011】光空間伝送装置1においては、このAPD16の出力信号を所定の信号処理回路に出力して処理し、これにより受信光ビームL2を介して伝送対象の情報信号を受信する。更に、ビームスプリッタ12は、この受信光ビームL2の一部を反射してレンズ18に送出し、レンズ18はこの反射光L3をポジショニングセンサ20で集光する。ここで、ポジショニングセンサ20は、反射光L3の集光位置に応じて出力信号が変化する位置検出用受光素子で、この実施例においては、このポジショニングセンサ20の出力信号を位置検出回路22に出力して反射光L3の集光位置を検出する。

【0012】更に、この実施例において、光空間伝送装置1は、ビームスプリッタ12及びレンズ14間に偏向ビームスプリッタ26を挿入し、偏向ビームスプリッタ26の光軸を中心にして偏向ビームスプリッタ26を所定角度回転させることにより、この偏向ビームスプリッタ26を光減衰器として使用し、アバランシェフォトダイオード16の入射光量を一定値に維持するようになっている。

【0013】APD16で検出された信号は、プリアンプ36で増幅された後、AGC回路38で更に増幅される。AGC回路38の出力はA/D変換器40によりデジタルデータに変換され、システム制御部30に与えられる。該システム制御部30は、受信したデジタル信号をD/A変換器42でアナログ信号に変換し、降圧電源44に与えられる。該降圧電源44の出力は、APD16に印加される。以上のループによりフィードバック回路が形成され、APD16から検出される光信号が一定となるようにすることができる。

【0014】しかしながら、この方式も、出力信号レベル一定の制御を行なう限り、光入力レベルが小さい場合のエラーフロアの問題は解決されない。

③自己バイアス方式

図7は自己バイアス方式の概念図である。図5と同一のものは、同一の符号を付して示す。

【0015】本方式では、図7に示すように、直流電圧源51とAPDカソード間にバイアス電圧制御抵抗R1を設置し、この電圧降下を用いて光入力の増加に対してAPDバイアス電圧Vapdが小さくなるように制御する。

【0016】図8はPin-Iapd特性の一例を示す図である。縦軸はIapd[μA]、横軸は光入力パワー

[dBm]である。図に示すように最小受信レベル付近ではIapdが小さいため、FULL AGC方式に比較してこの付近での光入力に対する増倍率の変化は小さい。APDに接続されているCはノイズ除去用コンデンサである。

【0017】また、抵抗値をある程度大きくすれば、電圧降下により最大受信レベル付近で増倍率Mをほぼ1にすることができる。このように、最小受信レベルで最適増倍率となるように直流電圧源51を設定し、バイアス電圧制御抵抗を適切な値にすることにより、前述した①、②の最小受信レベル、最大受信レベル付近の問題を解決することができる。

【0018】

【発明が解決しようとする課題】(a)自己バイアス方式における直流電圧源、バイアス電圧制御抵抗の調整
前述した自己バイアス方式は、増倍率M固定方式、FULL AGC方式の上記の問題点を解決することができるが、APDのブレイクダウン電圧の個別ばらつき、温度特性に対して直流電圧源を調整、温度補償する必要があり、更にバイアス電圧制御抵抗についても、個々に抵抗値を設定する必要があるという問題がある。

【0019】①直流電圧源の調整、温度補償

APDの増倍率Mは、下式の通り、ブレイクダウン電圧VbとAPDバイアス電圧(APDの両端にかかる電圧)Vapdとの関係で決まる。

【0020】

$$M = 1 / \{ 1 - (V_{apd} / V_b)^n \} \quad (1)$$

ここで、nは素子の材料、構造で決まる係数である。Vbは、個別ばらつきが大きく、また温度に対してある傾斜Γで変化する。増倍率は、APDバイアス電圧が小さい時のIapdと、APDバイアス電圧が十分に大きい時のIapdの比で求められる。

【0021】このため、自己バイアス方式において、個々のAPDに対して、増倍率が最小受信レベル付近で最適となるように直流電圧源51の出力電圧Vddを調整する必要がある。更に、温度変動に対して増倍率Mが一定となるように個々のAPDの温度特性Γに対して直流電圧源51出力の電圧Vddを温度補償する必要がある。

【0022】②バイアス電圧制御抵抗の設定

次に、上記のように直流電圧源51を調整、温度補償した状態で、光入力を最小受信レベル付近より大きくしていった場合、APD電流Iapdの増加に伴い、バイアス電圧制御抵抗R1での電圧降下のためVapdは小さくなる。ある光入力PinにおけるIapd、Vapdは、以下の式より求めることができる。

【0023】

$$I_{apd} = S \cdot M \cdot P_{in} \quad (2)$$

ここで、SはAPD受光感度[A/W]

$$V_{apd} = V_{dd} - (R_1 + R_0) \cdot I_{apd} \quad (3)$$

ここで、図7の自己バイアス方式のバイアス電圧制御抵

抗 R_1 が大きい場合、最大受信レベル付近での V_{apd} が過小となり、APDの周波数帯域劣化が生じる。逆に、 R_1 の抵抗値が小さい場合、最大受信レベルでの M が十分に小さくならないため、 I_{apd} が前置増幅器52の入力電流の許容最大値を越え、前置増幅器52が飽和し、波形劣化が生じる。

【0024】図10は $P_{in}-V_{apd}$ 特性の一例を示す図であり、(a)が全体特性を、(b)が拡大図を示す。

(b)は(a)の波線で囲った領域Aの拡大を示す。縦軸は V_{apd} を、横軸は光入力パワー P_{in} を示す。 R_1 が大きい場合、光入力パワー P_{in} が大きくなるほど、APDにかかる電圧 V_{apd} は小さくなっている。(b)において、領域BはAPD帯域劣化限界領域を示す。

【0025】図11は、 $P_{in}-M$ 特性の一例を示す図である。縦軸は増倍率 M 、横軸は光入力パワー P_{in} である。(a)が全体を、(b)は(a)の波線で囲った領域Cの拡大図を示す。 R_1 の抵抗値が小さく場合、最大受信レベル付近での M が十分に小さくならないため、 I_{apd} が前置増幅器52の入力電流の許容最大値を越え、前置増幅器52の出力に波形劣化が生じる。なお、図7の負荷抵抗 R_0 については、APDの容量と、要求される周波数帯域により最大値が求まる。

【0026】以上のように、自己バイアス方式では、APDのブレイクダウン電圧の個別ばらつき、温度特性が原因で、光受信モジュール(光受信部)の調整の簡素化、及び構成部品の共通化、一般化が困難になっている。

【0027】本発明はこのような課題に鑑みてなされたものであって、光受信モジュールとAPDバイアス電圧制御部との汎用的な組み合わせが可能で、APDバイアス電圧制御部の外付けによる光受信モジュールの小型化、更にはPIN素子光受信モジュールの構造の共通化が可能となるAPDバイアス電圧制御回路を提供することを目的としている。

【0028】

【課題を解決するための手段】(1)図1は本発明の原理ブロック図である。図7と同一のものは、同一の符号を付して示す。図において、60は光信号(Opt In)を受けて、電気信号に変換し、出力データを出力する光受信部(光受信モジュール)、70は該光受信部60のAPDに最適なバイアス電圧を与えるAPDバイアス電圧制御部である。光受信部60とAPDバイアス電圧制御部70は、それぞれ別々に構成されている。

【0029】APDバイアス電圧制御部70において、71はその出力電圧を制御可能な直流電圧源、 R_1 0は該直流電圧源71に接続され、外部信号によりその抵抗値が可変されるバイアス電圧制御用可変抵抗(以下、単に可変抵抗という)、72は各種制御を行なうCPUである。該CPU72は、直流電圧源71と、可変抵抗 R_1 0に制御信号を与える。

【0030】光受信部60において、61はブレイクダウン電圧とその温度傾斜が記憶されているメモリである。該メモリ61から読み出されたブレイクダウン電圧 V_b と温度傾斜 Γ はCPU72に与えられるようになっている。光受信部60は、温度センサ62を備え、APDの周囲温度を出力する。

【0031】このように構成すれば、CPU72は、周囲温度とその時のAPDのブレイクダウン電圧に基づいて、受信特性が最適となり、かつ温度変動に対しても増倍率 M が一定となるように補償された電圧値に直流電圧源71を制御し、更に最大受信レベル付近で M と V_{apd} が最適となるような抵抗値に可変抵抗 R_1 0を設定するので、光受信モジュールとAPDバイアス電圧制御部70との汎用的な組み合わせが可能で、APDバイアス電圧制御部70の外付けによる光受信部60の小型化、更にはPIN素子光受信部60の構造の共通化が可能となるAPDバイアス電圧制御回路を提供することができる。

【0032】また、APDバイアス電圧制御部70は、それと組み合わせられる光受信部60の個別情報を基に自動的に制御されるため、光受信部60とAPDバイアス電圧制御部70の任意の組み合わせが可能になり、またAPDのブレイク電圧の個別的なばらつき、温度特性に対して、光受信部60を個々に調整することなく、最適な受信特性を得ることができる。

【0033】(2)請求項2記載の発明は、前記光受信部60は、前記バイアス電圧制御用可変抵抗 R_1 0と接続されるAPDと、APDのブレイクダウン電圧値とその温度特性データが記憶されるメモリと、APDの周囲の温度を検出する温度センサと、前記APDに発生した電気信号を増幅する増幅器と、該増幅器の出力からデータとクロックを出力する識別再生器、とから構成されることを特徴とする。

【0034】このように構成すれば、バイアス電圧制御に必要な周囲温度データ T とその時のブレイクダウン電圧 V_b をCPU72に与えることができ、APDのバイアス電圧を最適に設定することができる。

【0035】(3)請求項3記載の発明は、前記温度センサは、APDと熱的に離れた箇所に設置され、APDバイアス電圧制御部70のCPU72は、この温度検出データをAPD素子温度に換算し、この値と光受信部から読み込んだAPDのブレイクダウン電圧値とその温度特性データを基に、光受信部の受信特性が最適となるAPDバイアス電圧の電圧値、及びバイアス電圧制御用可変抵抗の抵抗値を算出し、これらの値に直流電圧源、バイアス電圧制御用可変抵抗を制御することを特徴とする。

【0036】このように構成すれば、温度センサをAPDから離して設置しても、APD素子温度に換算し、その時のブレイクダウン電圧 V_b から、CPU72はAP

10

20

30

40

50

Dのバイアス電圧を最適に設定することができる。

【0037】この発明において、前記光受信部とAPDバイアス電圧制御部との構成において、CPUとバイアス電圧制御用可変抵抗は光受信部に設置され、このCPUは、予めメモリ記憶させたAPDのブレイクダウン電圧値とその温度特性データと、温度センサによるAPD素子温度の検出データを基に、光受信部の受信特性が最適となるようにバイアス電圧制御用可変抵抗の抵抗値を自動的に設定し、また光受信部の受信特性が最適となるAPDバイアス電圧の電圧値を出力し、一方、APDバイアス電圧制御部では、この値に直流電圧源を自動的に制御すれば、APDのバイアス電圧を最適に設定することができる。

【0038】また、この発明において、APDのブレイクダウン電圧とその温度特性、温度センサの検出出力、直流電圧源制御信号、バイアス電圧制御用可変抵抗設定信号が、離散的なデジタル信号であるようにすれば、CPU72はこれらデジタル信号に基づいてAPDのバイアス電圧を最適に設定することができる。

【0039】

【発明の実施の形態】図2は本発明の第1の実施の形態例を示すブロック図である。図1、図6、図7と同一のものは、同一の符号を付して示す。光受信部（光受信モジュール）60において、61は温度特性データと対応するブレイクダウン電圧が記憶されたメモリ、62はAPDの周囲に設けられた温度センサである。CはAPDのカソード側に設けられたノイズ除去用コンデンサである。APDのカソード側には、APDバイアス電圧制御部70の可変抵抗R10が接続され、アノード側には抵抗R0が接続されている。

【0040】52はAPDのアノード側と接続された前置増幅器、53は該前置増幅器52の出力を受ける等化増幅器、54は該等化増幅器53の出力からデータとクロックを抽出して外部に出力する識別再生器である。61は温度特性データとブレイクダウン電圧の関係が記憶されたメモリで、該メモリ61には温度特性データ Γ とブレイクダウン電圧 V_b が設定できるようになっている。該メモリ61の出力は、APDバイアス電圧制御部70のCPU72に入っている。62はAPDの周囲に配置された温度センサで、その出力はCPU72に入っている。このように構成された回路の動作を説明すれば、以下の通りである。

【0041】光受信部60に内蔵されたメモリ61に、搭載されているAPDの個別情報（温度特性 Γ 、ブレイクダウン電圧 V_b ）を書き込む。APDを購入する際に、個別情報は、APD毎に添付されてくるので、その情報を書き込めばよい。これら温度特性 Γ とブレイクダウン電圧 V_b は、CPU72に与えられる。一方、温度センサ62は、APDの温度 T_{apd} を検出してCPU72に与える。

【0042】APDバイアス電圧制御部70では、光受信部60のメモリ61から出力される Γ 、 V_b とAPDの周囲温度 T_{apd} を受けて、CPU72が最適な V_{dd} の電圧値と、可変抵抗R10の抵抗値を算出し、直流電圧制御信号 V_{dd_Cont} 、バイアス電圧制御抵抗設定信号 $R10_Cont$ を出力して、直流電圧源71と、可変抵抗R10の抵抗値を制御する。

【0043】この結果、CPU72は、周囲温度とその時のAPDのブレイクダウン電圧に基づいて、受信特性が最適となり、かつ温度変動に対しても増倍率Mが一定となるように補償された電圧値に直流電圧源71を制御し、更に最大受信レベル付近でMと V_{apd} が最適となるような抵抗値に可変抵抗R10を設定するので、光受信部60とAPDバイアス電圧制御部70との汎用的な組み合わせが可能で、APDバイアス電圧制御部70の外付けによる光受信モジュールの小型化、更にはPIN素子光受信モジュールの構造の共通化が可能となるAPDバイアス電圧制御回路を提供することができる。

【0044】また、APDバイアス電圧制御部70は、それと組み合わせられる光受信部60の個別情報を基に自動的に制御されるため、光受信部60とAPDバイアス電圧制御部70の任意の組み合わせが可能になり、またAPDのブレイク電圧の個別的なばらつき、温度特性に対して、光受信部60を個々に調整することなく、最適な受信特性を得ることができる。

【0045】図3は本発明の第2の実施の形態例を示すブロック図である。図2と同一のものは、同一の符号を付して示す。この実施の形態例では、温度センサ62が光受信部60ではなく、APDバイアス電圧制御部70側に移動している。その他の構成は、図2と同じである。このように構成された回路の動作を説明すれば、以下の通りである。

【0046】温度センサ62がAPDバイアス電圧制御部70に移動した時、CPU72は温度センサ62の出力 T_a と実際のAPD素子温度 T_{apd} との温度差を予め算出し、これを基に T_a から T_{apd} を換算して V_{dd} の温度補償を行なう。 T_{apd} が算出されたら、後は図2に示す実施の形態例と同じである。

【0047】即ち、APDバイアス電圧制御部70では、メモリ61から出力される光受信部60からの Γ 、 V_b を受けて、CPU72が、 T_{apd} と Γ と V_b とから最適な V_{dd} の電圧値と、可変抵抗R10の抵抗値を算出し、直流電圧制御信号 V_{dd_Cont} 、バイアス電圧制御抵抗設定信号 $R10_Cont$ を出力して、直流電圧源71と、可変抵抗R10の抵抗値を制御する。

【0048】この結果、CPU72は、周囲温度とその時のAPDのブレイクダウン電圧に基づいて、受信特性が最適となり、かつ温度変動に対しても増倍率Mが一定となるように補償された電圧値に直流電圧源71を制御し、更に最大受信レベル付近でMと V_{apd} が最適となる

ような抵抗値に可変抵抗R10を設定するので、光受信部60とAPDバイアス電圧制御部70との汎用的な組み合わせが可能で、APDバイアス電圧制御部70の外付けによる光受信モジュールの小型化、更にはPIN素子光受信モジュールの構造の共通化が可能となるAPDバイアス電圧制御回路を提供することができる。

【0049】図4は本発明の第3の実施の形態例を示すブロック図である。図2と同一のものは、同一の符号を付して示す。この実施の形態例は、図2に示す実施の形態例と比較して、可変抵抗R10とCPU72が光受信部60側に設けられたものである。APDの周囲に設けられた温度センサ62の出力は、CPU72に入り、メモリ61に記憶されている温度特性 Γ とブレイクダウン電圧Vbが読み出されてメモリ61に入る。その他の構成は、図2と同じである。この実施の形態例では、APDバイアス電圧制御部70は、直流電圧源71のみとなり、光受信部60からの電圧制御信号Vdd Contを受ける。このように構成された回路の動作を説明すれば、以下の通りである。

【0050】光受信部60に内蔵されたメモリ61に、搭載されているAPDの個別情報（温度特性 Γ 、ブレイクダウン電圧Vb）を書き込む。これら温度特性 Γ とブレイクダウン電圧Vbは、CPU72に与えられる。一方、温度センサ62は、APDの温度T_{apd}を検出してCPU72に与える。

【0051】メモリ61から出力される温度特性 Γ 、ブレイクダウン電圧VbとAPDの周囲温度T_{apd}を受けて、CPU72が最適なV_{dd}の電圧値と、可変抵抗R10の抵抗値を算出し、直流電圧制御信号Vdd Cont、バイアス電圧制御抵抗設定信号R10 Contを出力して、直流電圧源71と、可変抵抗R10の抵抗値を制御する。

【0052】この結果、CPU72は、周囲温度とその時のAPDのブレイクダウン電圧に基づいて、受信特性が最適となり、かつ温度変動に対しても増倍率Mが一定となるように補償された電圧値に直流電圧源71を制御し、更に最大受信レベル付近でMとV_{apd}が最適となるような抵抗値に可変抵抗R10を設定するので、光受信部60とAPDバイアス電圧制御部70との汎用的な組み合わせが可能で、APDバイアス電圧制御部70の外付けによる光受信モジュールの小型化、更にはPIN素子光受信モジュールの構造の共通化が可能となるAPDバイアス電圧制御回路を提供することができる。

【0053】上述の実施の形態例では、ブレイクダウン電圧Vb、APDの温度T_{apd}、温度センサ62の出力Ta、直流電圧源制御信号Vdd Cont、可変抵抗制御信号R10 Contは、デジタル値であってもよく、また電圧値のようなアナログ値であってもよい。

【0054】また、上述のメモリ61はEEPROMであっても、FLASHメモリであってもよい。また、上

述の可変抵抗R10は、電子ボリュームであっても、電界効果トランジスタ（FET）であってもよい。

【0055】また、温度センサ62はダイオードであっても、サーミスタであってもよい。本発明によれば、APDバイアス電圧制御部を制御することにより、光受信モジュールと、APDバイアス電圧制御部との汎用的な組み合わせが可能になり、APDバイアス電圧制御部の外付け化による光受信部（光受信モジュール）の小型化、更にはPIN素子光受信モジュールとの構造の共通化が可能となる。また、従来の自己バイアス方式では、APDのブレイクダウン電圧の個別ばらつき、温度特性に対して直流電圧源を調整、温度補償するだけでなく、バイアス電圧制御抵抗についても、個々に抵抗値を設定する必要があったが、本発明により、これらの自動調整が可能になり、光受信モジュールの調整を大幅に簡素化することができる。

【0056】（付記1） 自己バイアス方式によりアバランシェフォトダイオード（APD）のバイアス電圧を制御するAPDバイアス電圧制御回路において、光信号入力を受けて、電気信号に変換し、出力データを出力する光受信部と、該光受信部のAPDに最適なバイアス電圧を与えるAPDバイアス電圧制御部とを別々に構成し、前記APDバイアス電圧制御部は、その出力電圧を制御可能な直流電圧源と、前記直流電圧源に接続され、外部信号によりその抵抗値が可変されるバイアス電圧制御用の可変抵抗と、各種制御を行なうCPUとから構成され、前記CPUは、光受信部のメモリに記憶されているAPDのブレイクダウン電圧値とその温度特性データとを読み出し、光受信部の受信特性が最適となるように、前記直流電圧源とバイアス電圧制御用可変抵抗の制御を行なうことを特徴とするAPDバイアス電圧制御回路。

【0057】（付記2） 前記光受信部は、前記バイアス電圧制御用可変抵抗と接続されるAPDと、APDのブレイクダウン電圧値とその温度特性データが記憶されるメモリと、APDの周囲の温度を検出する温度センサと、前記APDに発生した電気信号を増幅する増幅器と、該増幅器の出力からデータとクロックを出力する識別再生器、とから構成されることを特徴とする付記1記載のAPDバイアス電圧制御回路。

【0058】（付記3） 前記温度センサは、APDと熱的に離れた箇所に設置され、APDバイアス電圧制御部のCPUは、この温度検出データをAPD素子温度に換算し、この値と光受信部から読み込んだAPDのブレイクダウン電圧値とその温度特性データを基に、光受信部の受信特性が最適となるAPDバイアス電圧の電圧値、及びバイアス電圧制御用可変抵抗の抵抗値を算出し、これらの値に直流電圧源、バイアス電圧制御用可変抵抗を制御することを特徴とする付記2記載のAPDバイアス電圧制御回路。

【0059】（付記4） 前記光受信部とAPDバイアス電圧制御部との構成において、CPUとバイアス電圧制御用可変抵抗は光受信部に設置され、このCPUは、予めメモリ記憶させたAPDのブレイクダウン電圧値とその温度特性データと、温度センサによるAPD素子温度の検出データを基に、光受信部の受信特性が最適となるようにバイアス電圧制御用可変抵抗の抵抗値を自動的に設定し、また光受信部の受信特性が最適となるAPDバイアス電圧の電圧値を出力し、一方、APDバイアス電圧制御部では、この値に直流電圧源を自動的に制御することを特徴とする付記1記載のAPDバイアス電圧制御回路。

【0060】（付記5） APDのブレイクダウン電圧とその温度特性、温度センサの検出出力、直流電圧源制御信号、バイアス電圧制御用可変抵抗設定信号が、離散的なデジタル信号であることを特徴とする付記1乃至4の何れかに記載のAPDバイアス電圧制御回路。

【0061】

【発明の効果】以上説明したように、本発明によれば、以下の効果が得られる。

（1）請求項1記載の発明によれば、APDバイアス電圧制御部の外付けによる光受信部の小型化、更にはPIN素子光受信部の構造の共通化が可能となるAPDバイアス電圧制御回路を提供することができる。

【0062】また、APDバイアス電圧制御部は、それと組み合わせられる光受信部の個別情報を基に自動的に制御されるため、光受信部とAPDバイアス電圧制御部の任意の組み合わせが可能になり、またAPDのブレイク電圧の個別的なばらつき、温度特性に対して、光受信部を個々に調整することなく、最適な受信特性を得ることができる。

【0063】（2）請求項2記載の発明によれば、バイアス電圧制御に必要な周囲温度データTとその時のブレイクダウン電圧VbをCPUに与えることができ、APDのバイアス電圧を最適に設定することができる。

【0064】（3）請求項3記載の発明によれば、温度センサをAPDから離して設置しても、APD素子温度に換算し、その時のブレイクダウン電圧Vbから、CPUはAPDのバイアス電圧を最適に設定することができる。

【0065】この発明において、予めメモリ記憶させたAPDのブレイクダウン電圧値とその温度特性データ

と、温度センサによるAPD素子温度の検出データを基に、光受信部の受信特性が最適となるようにバイアス電圧制御用可変抵抗の抵抗値を自動的に設定し、また光受信部の受信特性が最適となるAPDバイアス電圧の電圧値を出力し、一方、APDバイアス電圧制御部では、この値に直流電圧源を自動的に制御すれば、APDのバイアス電圧を最適に設定することができる。

【0066】また、この発明において、APDのブレイクダウン電圧とその温度特性、温度センサの検出出力、直流電圧源制御信号、バイアス電圧制御用可変抵抗設定信号が、離散的なデジタル信号であるようにすれば、CPUはこれらデジタル信号に基づいてAPDのバイアス電圧を最適に設定することができる。

【0067】このように、本発明によれば、光受信モジュールとAPDバイアス電圧制御部との汎用的な組み合わせが可能で、APDバイアス電圧制御部の外付けによる光受信モジュールの小型化、更にはPIN素子光受信モジュールの構造の共通化が可能となるAPDバイアス電圧制御回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の第1の実施の形態例を示すブロック図である。

【図3】本発明の第2の実施の形態例を示すブロック図である。

【図4】本発明の第3の実施の形態例を示すブロック図である。

【図5】増倍率M固定方式の概念図である。

【図6】FULL AGC方式の概念図である。

【図7】自己バイアス方式の概念図である。

【図8】Pin-I_{apd}特性の一例を示す図である。

【図9】光空間伝送装置の公知例を示す図である。

【図10】Pin-V_{apd}特性の一例を示す図である。

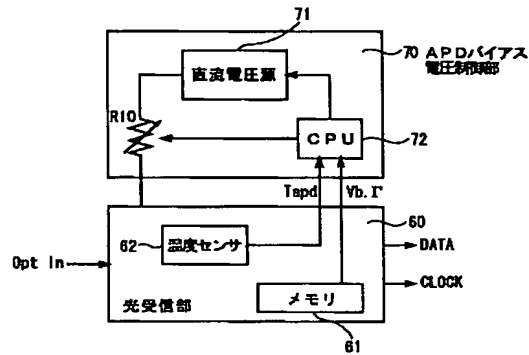
【図11】Pin-M特性の一例を示す図である。

【符号の説明】

60 光受信部
61 メモリ
70 APDバイアス電圧制御部
71 直流電圧源
72 CPU
R10 バイアス電圧制御抵抗（可変抵抗）

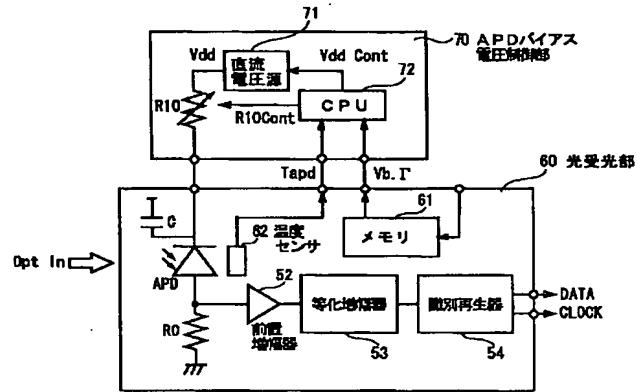
【図 1】

本発明の原理ブロック図



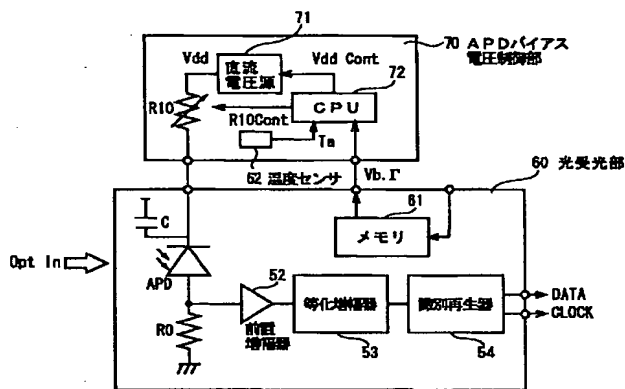
【図 2】

本発明の第 1 の実施の形態例を示すブロック図



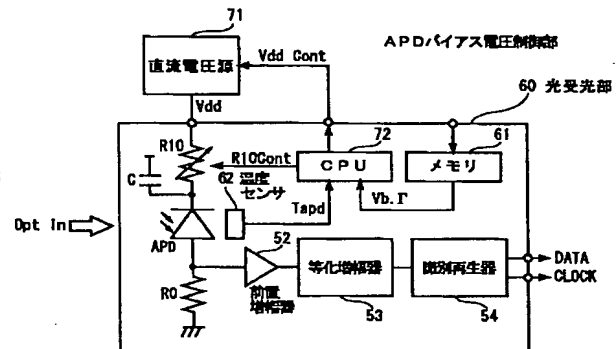
【図 3】

本発明の第 2 の実施の形態例を示すブロック図



【図 4】

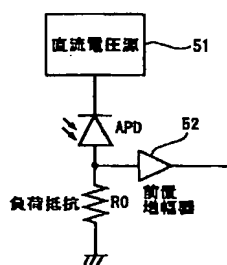
本発明の第 3 の実施の形態例を示すブロック図



【図 7】

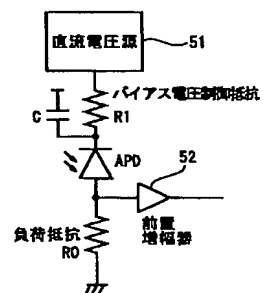
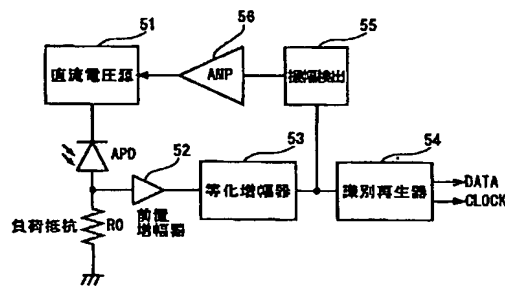
自己バイアス方式の概念図

増倍率M固定方式の概念図

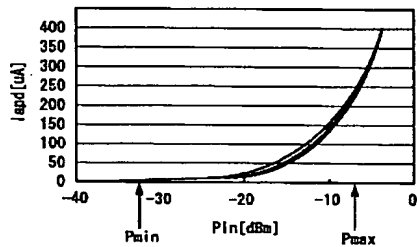


【図 6】

FULL AGC方式の概念図

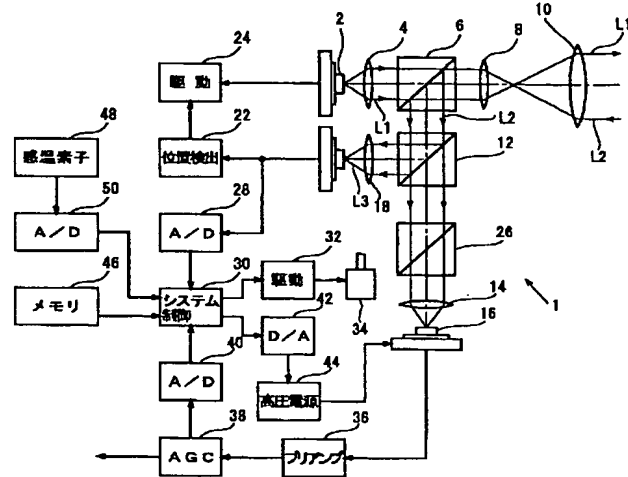


【図 8】

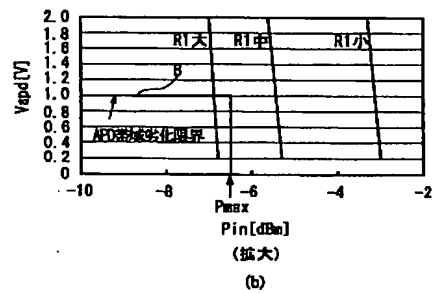
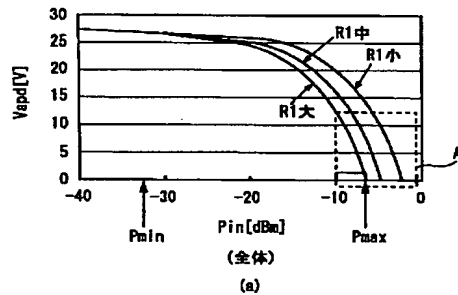
Pin-I_{apd}特性の一例を示す図

【図 9】

光空間伝送装置の公知例を示す図

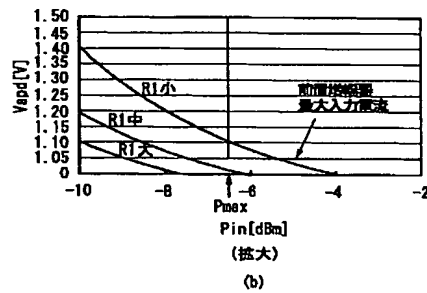
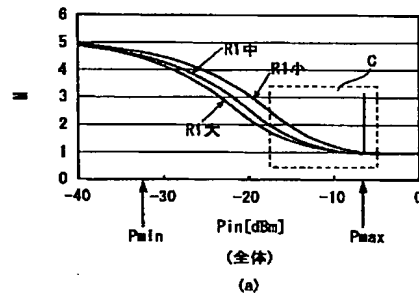


【図 10】

Pin-V_{apd}特性の一例を示す図

【図 11】

Pin-M特性の一例を示す図



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

ターマコト* (参考)

H 0 3 F 3/08

(72) 発明者 布施 由起治

北海道札幌市北区北七条西四丁目3番地1

富士通北海道デジタル・テクノロジー株
式会社内

Fターム(参考) 5F049 MA04 MA07 NA19 NA20 UA04

UA11 UA16 UA20

5J092 AA01 AA56 CA02 CA81 CA92

FA10 HA19 HA25 HA26 HA29

HA43 HA44 KA12 KA34 TA01

TA02 UL03

5K002 BA15 CA11 CA18